

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-298462

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

G06F 15/78

(21)Application number : 04-104714

(71)Applicant : SONY CORP

(22)Date of filing : 23.04.1992

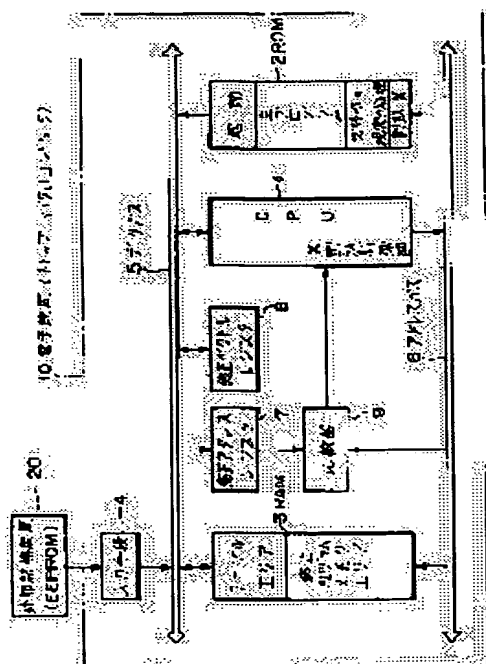
(72)Inventor : FURUI SUNAO
MATSUNO KATSUMI

(54) ELECTRONIC DEVICE

(57)Abstract:

PURPOSE: To prevent the enlargement of an area occupied by means of a variable storing means by reducing the capacitance of correction information.

CONSTITUTION: An electronic device (one-chip microcomputer) is provided with CPU 1, ROM 2, RAM 3, an input means 4, a data bus 5 and an address bus 6. The register 7 of an address being a correction place and the register 8 of a correction interruption vector are also provided and these are connected to the data bus 5. A comparator 9 output part which detects the coincidence of the address stored in the register 7 with the address in the address bus 8 is connected to the interruption control part X of CPU 1. Moreover, an external storage device 20 is connected to the input means 4 and defective correction information of ROM 2 is written in RAM 3. A processing program stored in ROM 2 is provided with normal processing information with change-over from ROM 2 to RAM 3 together with the main program for executing a main processing.



LEGAL STATUS

[Date of request for examination] 08.02.1999

[Date of sending the examiner's decision of rejection] 28.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-298462

(43) 公開日 平成5年(1993)11月12日

(51) Int.Cl.⁵

G 0 6 F 15/78

識別記号

5 1 0 A

庁内整理番号

7530-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1(全9頁)

(21) 出願番号 特願平4-104714

(22) 出願日 平成4年(1992)4月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 古居 素直

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 松野 克巳

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

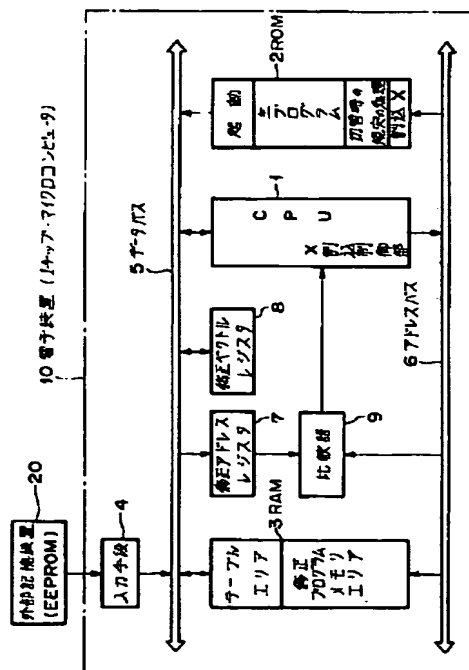
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 電子装置

(57) 【要約】

【目的】 修正情報の容量を削減し可変記憶手段の占める面積が拡大するのを防止する。

【構成】 電子装置10には、CPU1、ROM2、RAM3及び入力手段4、さらにデータバス5及びアドレスバス6が設けられる。また修正箇所のアドレスのレジスタ7と修正割り込みベクトルのレジスタ8とが設けられ、これらがデータバス5に接続される。さらにこのレジスタ7に記憶されたアドレスとアドレスバス6のアドレスとの一致を検出する比較器9出力部が、CPU1の割り込み制御部Xに接続される。さらに入力手段4には外部記憶装置20が接続され、ROM2の不備の修正情報がRAM3に書き込まれる。さらにROM2に記憶される処理プログラムには、主な処理を行う主プログラムと共に、ROM2からRAM3への切り替えに伴う規定の処理の情報が設けられる。



【特許請求の範囲】

【請求項1】 情報が固定的に記憶された固定記憶手段と、アドレス制御を行うアドレス制御手段と、外部からの情報が入力される入力手段と、この入力手段を介して外部から入力される上記固定記憶手段に記憶された情報の変更部分に関する修正情報が記憶される修正情報記憶手段と、上記固定記憶手段の変更部分への上記アドレス制御手段によるアクセスを判別する判別手段と、この判別手段からの信号により上記アクセスを上記固定記憶手段から上記修正情報記憶手段へ切り換える切り換え手段とを一体に集積した電子装置において、

上記固定記憶手段から上記修正情報記憶手段への切り換えに伴う規定の処理の情報が上記固定記憶手段に固定的に記憶され、上記切り換え処理が行われるときに上記固定記憶手段の上記規定の処理を行った後に、上記修正情報記憶手段への切り換えが行われるようにしたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば電子機器に内蔵されて使用される1チップ・マイクロコンピュータのような電子装置に関するものである。

【0002】

【従来の技術】 例えば電子機器に内蔵されて使用される1チップ・マイクロコンピュータは、固定記憶手段（ROM）、処理手段（CPU）、入力手段、可変記憶手段（RAM）等が一体に集積された電子装置から構成されている。

【0003】 このような電子装置（1チップ・マイクロコンピュータ）において、処理手段（CPU）での処理のプログラムは、例えば固定記憶手段（ROM）に記憶されている。すなわちこの固定記憶手段（ROM）に記憶された情報（処理プログラム）に従って特定の処理が行われる。そこでこの固定記憶手段（ROM）を例えばマスクROMで形成することにより、このような電子装置は、特に量産化によってその価格を低廉にすることが可能である。

【0004】 一方、上述の電子装置は、民生用のカメラ一体形VTR、小型ビデオデッキ等の電子機器に内蔵されて使用されている。このような電子機器（民生用カメラ一体形VTR等）においては、近年商品の差別化を目的とした多機能化が進められている。このため固定記憶手段（ROM）に記憶される情報（処理プログラム）の量が増大し、特に処理プログラムの長大化に伴って、その不備（バグ）の発生は避けられない問題になっている。

【0005】 そこでこのような不備が装置の量産後に発見された場合には、既に量産された装置を廃棄して再度量産を行ったり、その不備を修正するための外部部品を設けるなどの処理を行う必要が生じる。しかし再度量産

を行うには多大な追加経費が必要であり、また外部部品を設けることは部品の実装密度の高い電子機器では実施が困難である場合が多い。

【0006】 これに対して本願出願人は、先にこのような不備を量産後に修正する手段を提案した（特願平3-118799号参照）。すなわちこの先願では、電子装置内に不備修正のための修正情報記憶手段とアクセス切り換え手段を設ける。そして固定記憶手段に記憶される情報が不備の部分に判別して、その部分ではアクセスを固定記憶手段から修正情報記憶手段に切り換えるようにしたものである。

【0007】 ところがこの先願の装置において、修正情報記憶手段は例えば可変記憶手段（RAM）の一部に設けられる。その場合に可変記憶手段（RAM）は、記憶容量に比して電子装置内に占める回路の面積が大きい。このため上述の修正情報の容量を多くすると可変記憶手段（RAM）の占める面積がさらに拡大し、電子装置の全体の構成が大きくなって、形成が困難になる恐れがある。

【0008】 一方、先願の装置において、例えば図4のAに示すように固定記憶手段（ROM）の記憶情報（アドレスA～D）の中の一箇所（アドレスB）に誤りがあった場合に、同図のBに示すように修正アドレスBと修正データ「E（RAM上のアドレス）に飛べ」が設定される。そして可変記憶手段（RAM）に同図のCに示すような修正情報（アドレスE～L）が記憶される。これによって処理の実行イメージは同図のDに示すようになり、固定記憶手段（ROM）の記憶情報の中のアドレスBの誤りが修正される。

【0009】 そしてこの場合に、例示は修正データにトラップ命令を用いた場合であって、例えばトラップ命令によるレジスタの退避（5バイト）、自動レジスタバンク切り替えが発生している。そこで修正情報中のアドレスF～Jでレジスタに退避された5バイトをポップアップする処理と、アドレスKでレジスタバンク切り替えを元に戻す処理が行われている。すなわちこのアドレスF～Kの処理は、不備の修正とは関係なく例えばトラップ命令を行ったことに伴う規定の処理である。

【0010】 また例えば図5のAに示すように固定記憶手段（ROM）の記憶情報の中で二箇所（アドレスB、E）に誤りがあった場合に、同図のBに示すように修正アドレスBと修正データ「L（RAM上のアドレス）に飛べ」、及び、修正アドレスEと修正データ「V（RAM上のアドレス）に飛べ」が設定される。そして可変記憶手段（RAM）に同図のCに示すような修正情報（アドレスL～U、及び、アドレスV～AF）が記憶される。これによって固定記憶手段（ROM）の記憶情報の中のアドレスB、Eの誤りが修正される。

【0011】 そしてこの例においても、修正データにトラップ命令を用いた場合には、例えばトラップ命令によ

3

るレジスタの退避(5バイト)、自動レジスタバンク切り替えが発生している。そこでアドレスO~S、及び、Y~ACでレジスタに退避された5バイトをポップアップする処理と、T、及び、ADでレジスタバンク切り替えを元に戻す処理が行われている。これらのアドレスアドレスO~T、及び、Y~ADの処理も、不備の修正とは関係なく例えばトラップ命令を行ったことに伴う規定の処理である。この発明はこのような点に鑑みて成されたものである。

【0012】

【発明が解決しようとする課題】解決しようとする問題点は、従来の電子装置では、量産後に不備が発見された場合には、既に量産された装置を廃棄して再度量産を行ったり、その不備を修正するための外部部品を設けなければならない。また先願では、修正情報の容量を多くすると可変記憶手段(RAM)の占める面積が拡大し、電子装置の全体の構成が大きくなって、形成が困難になる恐れがあるというものである。

【0013】

【課題を解決するための手段】本発明は、情報が固定的に記憶された固定記憶手段(ROM2)と、アドレス制御を行うアドレス制御手段(CPU1)と、外部からの情報が入力される入力手段4と、この入力手段を介して外部から入力される上記固定記憶手段に記憶された情報の変更部分に関する修正情報が記憶される修正情報記憶手段(RAM3)と、上記固定記憶手段の変更部分への上記アドレス制御手段によるアクセスを判別する判別手段(比較器9)と、この判別手段からの信号により上記アクセスを上記固定記憶手段から上記修正情報記憶手段へ切り換える切り換え手段(割り込み制御部X)とを一体に集積した電子装置において、上記固定記憶手段から上記修正情報記憶手段への切り換えに伴う規定の処理の情報が上記固定記憶手段に固定的に記憶され、上記切り換え処理が行われるときに上記固定記憶手段の上記規定の処理を行った後に、上記修正情報記憶手段への切り換えが行われるようにしたことを特徴とする電子装置である。

【0014】

【作用】これによれば、固定記憶手段に記憶された情報が修正情報記憶手段からの情報によって修正され、量産後に発見された情報の不備の修正を行うことができると共に、切り換えに伴う規定の処理の情報が固定記憶手段に固定的に記憶されることによって、修正情報の容量を削減し可変記憶手段の占める面積が拡大するのを防止することができる。

【0015】

【実施例】図1において、10は電子装置としての1チップ・マイクロコンピュータの全体を示す。この電子装置10には、処理手段としてのCPU1、固定記憶手段としてのROM2、修正情報記憶手段としてのRAM

4

3、入力手段4等が設けられる。このCPU1、ROM2、RAM3及び入力手段4は互いにデータバス5を介して接続される。またCPU1で形成されたアドレス出力がアドレスバス6を介してROM2及びRAM3のアドレス入力に接続される。

【0016】また修正箇所のアドレスのレジスタ7と修正割り込みベクトルのレジスタ8とが設けられ、これらのレジスタ7、8がデータバス5に接続される。さらにこのレジスタ7に記憶されたアドレスとアドレスバス6のアドレスとの一致を検出する比較器9が設けられる。そしてこの比較器9のアドレスが一致したことを示す信号の出力部が、CPU1の割り込み制御部Xに接続される。

【0017】さらに入力手段4には外部記憶装置20が接続される。この外部記憶装置20も電子機器内に設けられる。なおこの外部記憶装置20は、例えばEEPROMで構成され、通常は電子機器の調整工程で得られたパラメータ等が記憶されるものである。そしてこの外部記憶装置20からの情報は入力手段4を通じてRAM3に記憶されてCPU1での処理等に使用される。

【0018】このような電子装置10において、ROM2にはCPU1での処理のプログラムの情報が固定的に記憶される。この処理プログラムには、例えばその始めに起動のためのプログラムが設けられる。この起動プログラムにはRAM3のクリアを含む装置の初期化のためのプログラムと共に、外部記憶装置20からの情報を入力手段4を通じてRAM3に記憶させるためのプログラム等が設けられる。

【0019】さらにROM2に記憶される処理プログラムには、例えば図2のAに示すような主な処理を行う主プログラム(アドレスA~D)と共に、後述する固定記憶手段(ROM2)から修正情報記憶手段(RAM3)への切り換えに伴う規定の処理の情報(アドレスK~Q)が設けられる。

【0020】従ってこの装置において、起動後の主プログラムの最初で主プログラムの最初の修正箇所のアドレスとその修正を行う修正プログラムの位置を示すベクトルのデータがRAM3からの読み出され、レジスタ7及び8に書き込まれる。そして主プログラムが進行し、そのアドレスがレジスタ7のアドレスと一致すると、CPU1の割り込み制御部Xに信号が供給される。これによってCPU1では、割り込みXの処理としてレジスタ8のデータが参照され、このデータの示す位置の修正プログラムが実行される。

【0021】そして例えば図中に示すようにROM2の記憶情報の中の一箇所(アドレスB)に誤りがあった場合に、同図のBに示すように修正アドレスBと修正データ「Kに飛べ」が設定される。そしてRAM3に同図のCに示すような修正情報(アドレスE、F)が記憶される。これによって処理の実行イメージは同図のDに示す

5

ようになり、ROM2の記憶情報の中のアドレスBの誤りが修正される。

【0022】すなわち切り換え処理が行われるときに、まずROM2上のアドレスKからの切り換えに伴う規定の処理（アドレスK～P）が行われた後に、RAM3への切り換えの処理（アドレスQ）が行われる。これによってこの装置において、RAM3に記憶される修正情報はアドレスE、Fの2命令のみとなり、RAM3上の命令数を上述の従来例（8命令）に比して6命令削減することができる。

【0023】なおこの例において、レジスタに退避された5バイトをポップアップする処理、及び、レジスタバンク切り替えを元に戻す処理と、アドレスBの修正内容とは、順番が入れ替わっていても問題はない。

【0024】こうして上述の装置によれば、固定記憶手段（ROM2）に記憶された情報が修正情報記憶手段（RAM3）からの情報によって修正され、量産後に発見された情報の不備の修正を行うことができると共に、切り換えに伴う規定の処理の情報が固定記憶手段に固定的に記憶されることによって、修正情報の容量を削減し可変記憶手段の占める面積が拡大するのを防止することができるものである。

【0025】さらに図3は、ROM2の記憶情報の中で二箇所（アドレスB、E）に誤りがあった場合の例を示す。この例では同図のAに示すように主な処理を行う主プログラム（アドレスA～G）と共に、ROM2からRAM3への切り換えに伴う規定の処理の情報（アドレスH～N）が設けられる。

【0026】そしてROM2の記憶情報の中で二箇所（アドレスB、E）に誤りがあった場合に、同図のBに示すように修正アドレスBと修正データ「Hに飛べ」、及び、修正アドレスEと修正データ「Hに飛べ」が設定される。さらにRAM3に同図のCに示すような修正情報（アドレスO～Y）が記憶されると共に、フラグ用のアドレスZ（1ビット）が設けられる。これによってROM2の記憶情報の中のアドレスB、Eの誤りが修正される。

【0027】すなわちこの例では、修正アドレスB、EのいずれからでもまずROM2上のアドレスHからの切り換えに伴う規定の処理（アドレスH～M）が行われた後に、RAM3への切り換えの処理（アドレスN）が行われる。そしてRAM3上の処理では最初にアドレスOでアドレスZのフラグが判断され、このフラグに応じて修正アドレスBの修正情報（アドレスP～T）、または修正アドレスEの修正情報（アドレスU～Y）が行われ

6

る。さらにこれらの処理（アドレスP～T、V～Y）の途中で、フラグの書換え（アドレスQ、V）が行われる。

【0028】これによってこの例では、RAM3上の命令数を上述の従来例（20命令）に比して8命令削減することができる。

【0029】なお上述の装置において、切り換えに伴う規定の処理が複数系統ある場合には、それぞれの処理をROM2上に設けると共に、各修正アドレスごとの修正データをそれぞれの処理の先頭のアドレスに設定して、それらの処理を行わせることができる。

【0030】また上述の装置において、フラグのビット数を増加させることにより、3以上の誤りにも対応させることができる。

【0031】

【発明の効果】この発明によれば、固定記憶手段に記憶された情報が修正情報記憶手段からの情報によって修正され、量産後に発見された情報の不備の修正を行うことができると共に、切り換えに伴う規定の処理の情報が固定記憶手段に固定的に記憶されることによって、修正情報の容量を削減し可変記憶手段の占める面積が拡大するのを防止することができるようになった。

【図面の簡単な説明】

【図1】本発明による電子装置の一例の構成図である。

【図2】処理プログラムの一例の説明のための図である。

【図3】処理プログラムの他の例の説明のための図である。

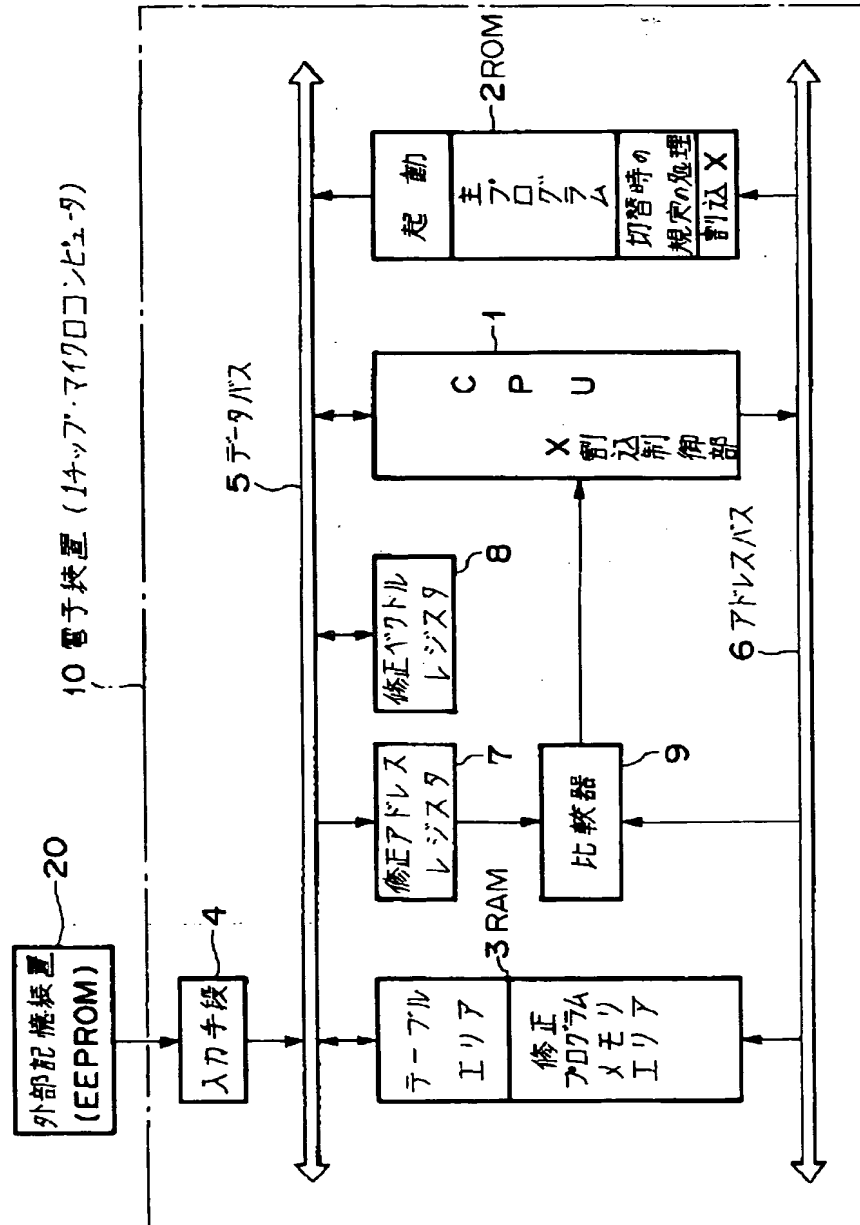
【図4】従来の処理プログラムの説明のための図である。

【図5】従来の他の処理プログラムの説明のための図である。

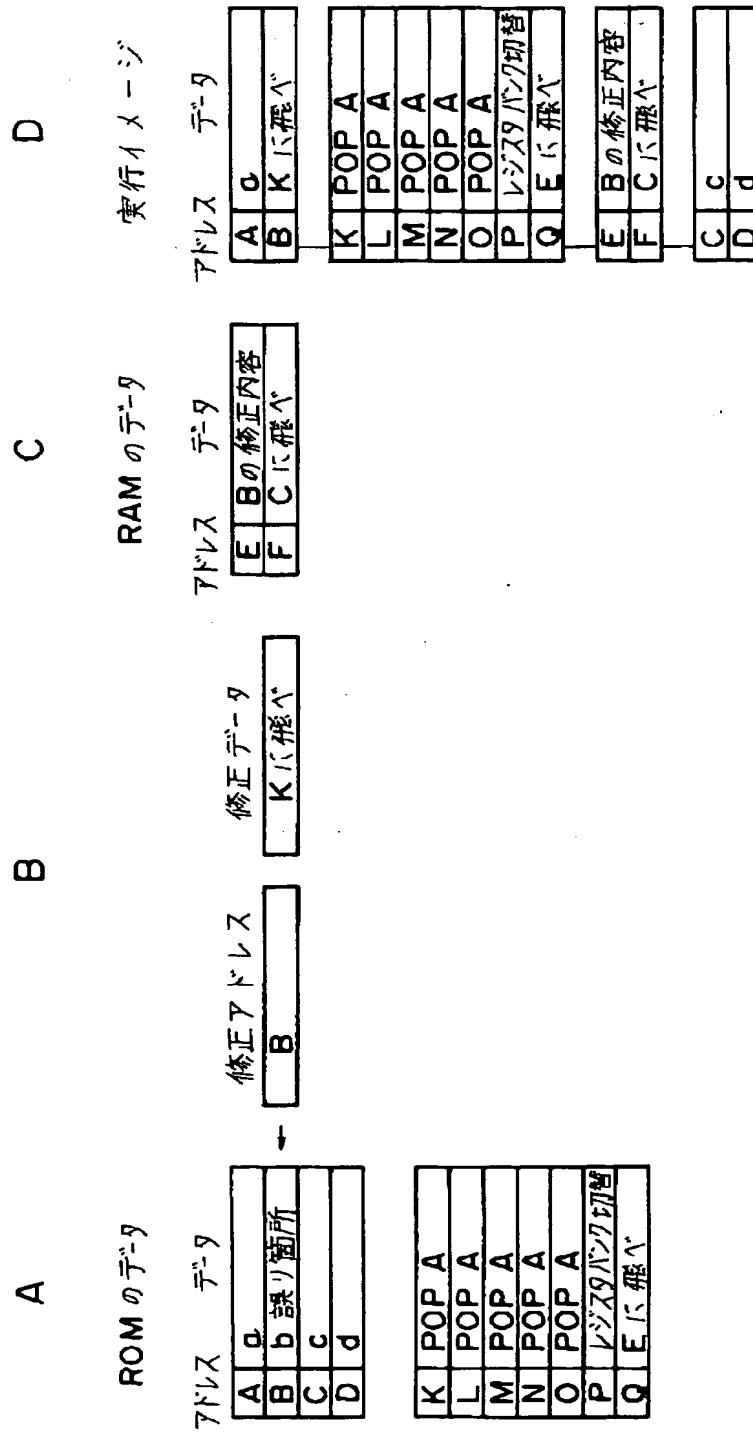
【符号の説明】

- 1 処理手段としてのCPU
- 2 固定記憶手段としてのROM
- 3 修正情報記憶手段としてのRAM
- 4 入力手段
- 5 データバス
- 6 アドレスバス
- 7 修正箇所のアドレスのレジスタ
- 8 修正割り込みベクトルのレジスタ
- 9 比較器
- 10 電子装置としての1チップ・マイクロコンピュータ
- 20 外部記憶装置

【図1】



【図2】



C
RAMのデータ

U	E の修正内容
V	フラグを O にする
W	修正アドレスレジスタに B を書く
X	修正アドレスレジスタに "H に飛べ" を書く
Y	F に飛べ
Z	フラグ (18bit)



実行イメージ

RAM のデバッグ

ROM のデバッグ

The diagram illustrates a data correction process. It starts with a table on the left containing four rows (A, B, C, D) and two columns: 'アドレス' (Address) and 'データ' (Data). Row B is highlighted with a thick border. An arrow points from the 'アドレス' column of row B to a box labeled '修正アドレス' (Correction Address), which contains the letter 'B'. From this box, another arrow points to a box labeled '修正データ' (Correction Data), which contains the text 'E に飛べ' (Jump to E).

アドレス	データ
A	a
B	b 誤り箇所
C	c
D	d

↓

修正アドレス
B

→

修正データ
E に飛べ

C
RAMのデバッグ

—721—